

**PAT-NO:** JP359007269A  
**DOCUMENT-IDENTIFIER:** JP 59007269 A  
**TITLE:** CURRENT DETECTOR

**PUBN-DATE:** January 14, 1984

**INVENTOR-INFORMATION:**

<b>NAME</b>	<b>COUNTRY</b>
SHIMIZU, TOSHIHISA	
KUROKI, KAZUO	



**ASSIGNEE-INFORMATION:**

<b>NAME</b>	<b>COUNTRY</b>
FUJI ELECTRIC CO LTD	N/A

**APPL-NO:** JP57115485

**APPL-DATE:** July 5, 1982

**INT-CL (IPC):** G01R015/02

**US-CL-CURRENT:** 324/251

**ABSTRACT:**

**PURPOSE:** To detect a DC and a high frequency current with large transient variation, by using two Hall elements and arranging lead lines so that a positive and a negative electromagnetic induction voltage are induced at the Hall elements, respectively.

**CONSTITUTION:** The two Hall elements 3 and 3a are arranged in a magnetic field area 12 formed by a current to be measured, and the lead lines of the Hall element 3 are so wired that the positive induced voltage VB1 is generated by variation of a magnetic field B with time in addition to a positive Hall voltage Vh1. On the other hand, the lead lines of the Hall element 3a are so wired that the negative induced voltage is generated by variation of the magnetic field B with time in addition to a positive Hall voltage Vh2. Then, the output lead lines 17 and 18, and 17a and 18a of the Hall elements

3 and 3a are connected through resistances so that the Hall voltages are parallel, and when specific bias currents are applied to bias current input/output terminals 13, 14, 19, and 20, a Hall voltage which is completely free of the influence of electromagnetic induction is obtained between terminals 15 and 16.

COPYRIGHT: (C)1984, JPO&Japio

⑯ 日本国特許庁 (JP)

⑮ 特許出願公開

⑯ 公開特許公報 (A)

昭59-7269

⑯ Int. Cl.<sup>3</sup>  
G 01 R 15/02

識別記号

厅内整理番号  
7241-2G

⑯ 公開 昭和59年(1984)1月14日

発明の数 1  
審査請求 未請求

(全 5 頁)

⑯ 電流検出器

⑯ 特 願 昭57-115485

⑯ 出 願 昭57(1982)7月5日

⑯ 発明者 清水敏久

川崎市川崎区田辺新田1番1号  
富士電機製造株式会社内

⑯ 発明者 黒木一男

川崎市川崎区田辺新田1番1号

富士電機製造株式会社内

⑯ 出願人 富士電機製造株式会社

川崎市川崎区田辺新田1番1号

⑯ 代理人 弁理士 並木昭夫 外1名

明細書

1. 発明の名称 電流検出器

2. 特許請求の範囲

1) 検出すべき電流によって発生される磁界内に配置された第1および第2の少なくも2個の磁電変換素子を有して成り、前記第1の変換素子から電気的出力を取り出すためのリード部材として、前記磁界の変動により電磁誘導電圧が正方向に誘起されるように配置された部材を設け、前記第2の変換素子から電気的出力を取り出すためのリード部材として、前記磁界の変動により電磁誘導電圧が負方向に誘起されるように配置された部材を設け、該部材を接続することにより、第1および第2の磁電変換素子から得られる電気的出力から磁界変動による電磁誘導電圧成分を除去したことを特徴とする電流検出器。

3. 発明の詳細な説明

本発明は、例えばホール素子の如き磁電変換素子を用いた電流検出器の改良に関するものである。

以下、ホール素子を用いた電流検出器(以下、ホールCTと略す)を例にとり説明する。

第1図はホールCTの原理説明図である。同図において、1は導体、2は磁性体コア、3はホール素子、4はホール電圧出力リード線、5は空隙領域、6はホール電圧出力端子である。

第1図において、被測定電流 $I_f$ が流れる導体1を磁性体コア2に貫通させると、このコア2には被測定電流により生じた磁界が加わる。コア2の磁路に設けた空隙領域5に生じる磁界の強さを、磁電変換素子であるホール素子3を用いて電圧に変換し、リード線4を介して端子6に取り出せば、結果として、被測定電流値 $I_f$ に比例したホール電圧が得られる。

かかる従来のホールCTの問題点は、被測定電流が急激な変化をした場合、過渡的な応答が悪い点である。ホールCTの過渡特性悪化の原因是、ホール素子半導体3から引き出されるホール電圧出力リード線4に鉄交している磁束が被測定電流の変化に伴って変動し、その結果リード線4に感應

導電圧が生じ、これがホール電圧に加算あるいは減算されてホール電圧出力端子6に現われることになり、本来測定したいホール電圧を乱すためである。

このことを第2図を参照して更に説明する。

第2図は従来のホールCTKにおけるホール素子部分の構成を示す説明図である。同図において、12は紙面に垂直な方向に走る磁界(磁束密度B)の磁界領域、b<sub>1</sub>,b<sub>2</sub>はホール素子半導体3のバイアス電流端子、h<sub>1</sub>,h<sub>2</sub>はホール素子半導体3のホール電圧端子、13,14はバイアス電流i<sub>e</sub>の入出力端子、15,16はホール電圧出力端子、10,11はホール電圧出力リード線である。

第2図において、ホール素子半導体3の4辺には、対向する2辺を1組として、2つのバイアス電流端子1組(b<sub>1</sub>,b<sub>2</sub>)と、2つのホール電圧端子1組(h<sub>1</sub>,h<sub>2</sub>)が設けられる。ホール素子半導体3のバイアス電流端子b<sub>1</sub>,b<sub>2</sub>と、ホール電圧端子h<sub>1</sub>,h<sub>2</sub>を外部に引き出すためのリード線の引き出し方は、第2図に示す如くである。すなわち、

なお、第3図は、第2図の構成の電気的等価回路図であり、同図において、V<sub>h</sub>=K·i<sub>e</sub>·Bであり、V<sub>B</sub>=S· $\frac{dB}{dt}$ であり、V<sub>H</sub>=V<sub>h</sub>+V<sub>B</sub>の関係にある。

この発明は、上記の如き従来技術の欠点を除去して、過渡変動の大きな直流電流や、高周波電流に対しても、その正確な検出を行なうことが可能な磁電変換素子による電流検出器を提供することを目的としたものである。

本発明の構成の要点は、磁電変換素子としてのホール素子を2個用い、磁界内に置かれた第1のホール素子のホール電圧引き出し用のリード線には正の電磁誘導電圧が誘起されるように該リード線を配置し、磁界内に置かれた第2のホール素子のホール電圧引き出し用のリード線には負の電磁誘導電圧が誘起されるように該リード線を配置し、該誘導電圧が相殺されるように前記両リード線間に抵抗を介して接続し、リード線からホール起電圧だけを取り出しうるようとした点にある。

次に図を参照して本発明の一実施例を説明する。

第4図は本発明の一実施例を示す構成説明図で

ホール電圧出力リード線10および11は、ホール素子半導体3における端子h<sub>1</sub>,h<sub>2</sub>を結ぶ直線(破線で示してある)を含めて、磁界領域12内にループを形成するため、磁界(磁束密度B)の変動に対して、電磁誘導起電圧V<sub>B</sub>(V<sub>B</sub>=S· $\frac{dB}{dt}$ )を該ループに生じる(但しSは磁界領域12内に形成される前記ループの面積で斜線を付して示してある)。その結果、ホール電圧出力端子15,16間に生じる電圧V<sub>H</sub>は、V<sub>H</sub>=K·i<sub>e</sub>·B+S· $\frac{dB}{dt}$ となる(但しKはホール素子の積感度、i<sub>e</sub>はバイアス電流)。

ここでホール電圧として本当に測定したいのは、第1項の(K·i<sub>e</sub>·B)であるのに、第2項(S· $\frac{dB}{dt}$ )が付加されているために、過渡変動のある直流電流や高周波電流の正確な検出は困難であった。すなわち、被測定電流(従って磁束密度B)が正弦波の交流であったとすると、その微分値( $\frac{dB}{dt}$ )としての余弦波の電圧が測定したいホール電圧に加わるので、これによりホール電圧に位相ずれが発生したりして正しいホール電圧を求めることができなかった。

ある。同図において、第2図におけるのと同じ物には同じ符号が付してある。それはか、17,18はそれぞれ第1のホール素子3のホール電圧出力リード線、17a,18aは同様に第2のホール素子3aのホール電圧出力リード線、19,20は第2のホール素子3aのバイアス電流入力端子、R<sub>1</sub>~R<sub>4</sub>はそれぞれ抵抗である。

第4図に見られるように、被測定電流I<sub>f</sub>によって発生される磁界領域12内に二つのホール素子3,3aを配備する。ホール素子半導体3には、バイアス電流端子b<sub>1</sub>,b<sub>2</sub>と、ホール電圧端子h<sub>1</sub>,h<sub>2</sub>がある。端子b<sub>1</sub>,b<sub>2</sub>には、バイアス電流入出力端子13,14から、リード線が図示のように接続される。また、端子h<sub>2</sub>から取り出されるホール電圧出力リード線17は、磁界(磁束密度B)の存在する領域内において、端子h<sub>1</sub>と端子h<sub>2</sub>を結ぶ直線(破線で示してある)の延長線上を通り、抵抗R<sub>1</sub>を介してホール電圧出力端子15に接続される。端子h<sub>1</sub>から取り出されるホール電圧出力リード線18は、端子h<sub>1</sub>とh<sub>2</sub>を結ぶ直線(破線)と共に磁界領域

12内で閉ループを作るように位置決めされ、この閉ループが磁界領域12内において占める面積を $S_1$ とする。

同様に、ホール素子半導体3aには、バイアス電流端子 $b_3, b_4$ とホール電圧端子 $h_3, h_4$ がある。端子 $b_3, b_4$ には、バイアス電流入出力端子19, 20からリード線が図示のように接続される。また、端子 $h_4$ から取り出されるホール電圧出力リード線17aは、曲界(磁束密度B)の存在する領域内において、端子 $h_3$ と $h_4$ を結ぶ直線(被線で示してある)の延長線上を通り、抵抗 $R_3$ を介してホール電圧出力端子15に接続される。端子 $h_3$ から取り出されるホール電圧出力リード線18aは、端子 $h_3$ と $h_4$ を結ぶ直線(破線)と共に、曲界領域12内で、誘導電圧が前記ホール半導体素子3の場合とは逆極性になるように、閉ループを構成する如く位置決めされる。そしてこの閉ループが曲界領域12内において占める面積を $S_2$ とすると、この面積 $S_2$ は、ホール半導体素子3の場合の面積 $S_1$ とはほぼ等しくなるように選定されている。

上記(1)式の右辺第2項が常に零になる様に抵抗 $R_1, R_2, R_3, R_4$ の値を選択すると、すなわち $(R_3 + R_4) / (R_1 + R_2) = V_{B2} / V_{R1}$ なる条件を満足させると、 $V_H$ は、次の式で表わされる。

$$V_H = \frac{V_{h2} + V_{B2} / V_{B1} \cdot V_{h1}}{1 + V_{B2} / V_{B1}} = \frac{K_2 \cdot i_{e2} + S_2 / R_1 \cdot K_1 \cdot i_{e1}}{1 + S_2 / S_1} \cdot B \quad \dots \dots \dots (2)$$

但し、 $V_{h1} = K_1 \cdot i_{e1} \cdot B$   $K_1$ ：ホール素子3の積感度  
 $V_{h2} = K_2 \cdot i_{e2} \cdot B$   $K_2$ ：ホール素子3aの積感度  
 $V_{B1} = S_1 \cdot dB/dt$   
 $V_{B2} = S_2 \cdot dB/dt$

上記(2)式からバイアス電流 $i_{e1}, i_{e2}$ を一定にすれば端子15, 16の間に、電磁誘導の影響を全く受けないホール電圧が現われることが判る。この結果、このようなホール素子と接続方法を用いたホールCTでは、過渡変動のある直流電流や、高周波電流であっても、その電流値の正確な検出が可能になる。

なお本発明の実施に際し、ホール素子2個は、

すなわち、ホール素子3は、正のホール電圧 $V_{h1}$ に加えて、曲界Bの時間的変化 $dB/dt$ によって、ホール電圧出力リード線17, 18に正の誘導起電圧 $V_{B1}$ が発生するようリード線の配線を行なったものであり、一方、ホール素子3aは、正のホール電圧 $V_{h2}$ に加えて曲界Bの時間的変化 $dB/dt$ によって、ホール電圧出力リード線17a, 18aに負の誘導起電圧 $V_{B2}$ が発生するようリード線の配線を行なったものである。ホール素子3, 3aの各ホール電圧出力リード線17, 18と17a, 18aは抵抗 $R_1, R_2$ と $R_3, R_4$ を介して、ホール電圧が並列になるよう接続される。この時、2つのホール電圧 $V_{h1}, V_{h2}$ と2つの誘導起電圧 $V_{B1}, V_{B2}$ の関係を表わす等価回路を、第5図に示す。

同図に示す閉回路に電流 $I_0$ が流れるとすると、この時、端子15, 16の間に生じる電圧 $V_H$ は次式で表わされる。

$$V_H = \frac{(R_3 + R_4) V_{h1} + (R_1 + R_2) V_{h2}}{R_1 + R_2 + R_3 + R_4} + \frac{(R_3 + R_4) V_{B1} - (R_1 + R_2) V_{B2}}{R_1 + R_2 + R_3 + R_4} \quad \dots \dots \dots (1)$$

第1図に示すコア2の同一空隙5に配備してもよいし、カットコアのように、空隙が2個存在する場合には、それぞれの空隙に1個ずつホール素子を配備するようにしてもよい。使用する2個のホール素子としては、バイアス端子2個と出力端子2個を持つ4端子形の汎用品を用い得るので好都合である。

この発明によれば、従来のホールCTでは困難であった過渡変動の大きな直流電流や、高周波電流などの検出をも正確に行ない得るという利点がある。

この発明は、ホール素子に限らず、電磁誘導の影響を受ける回路素子にも応用することができる。

#### 4. 図面の簡単な説明

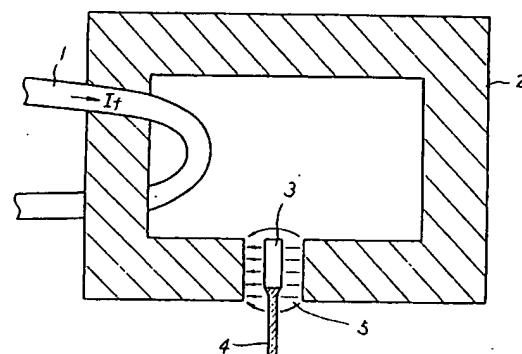
第1図はホール素子を用いた電流検出器の原理説明図、第2図は従来の電流検出器におけるホール素子部分の構成を示す説明図、第3図は第2図に示した構成の電気的等価回路図、第4図は本発明の一実施例を示す構成説明図、第5図は第4図に示す電気回路の等価回路図である。

## 符号説明

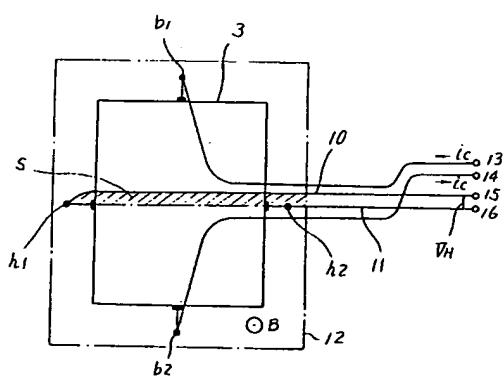
1 …導体、2…磁性体コア、3…ホール集子、  
 4…リード線、5…空隙領域、6…ホール電圧出力端子、10, 11…ホール電圧出力リード線、12…磁界領域、13, 14…バイアス電流入力端子、15, 16…ホール電圧出力端子、17, 18…ホール電圧出力リード線、19, 20…バイアス電流入力端子。

代理人 弁理士 並木昭夫  
 代理人 弁理士 松崎清

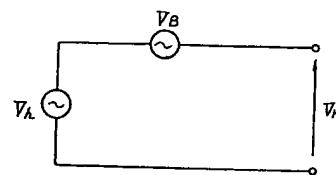
才 1 図



才 2 図



才 3 図



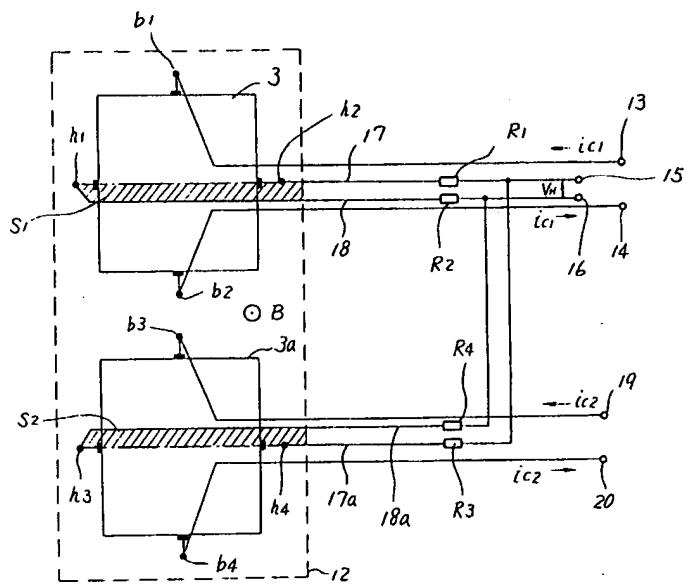


図 4

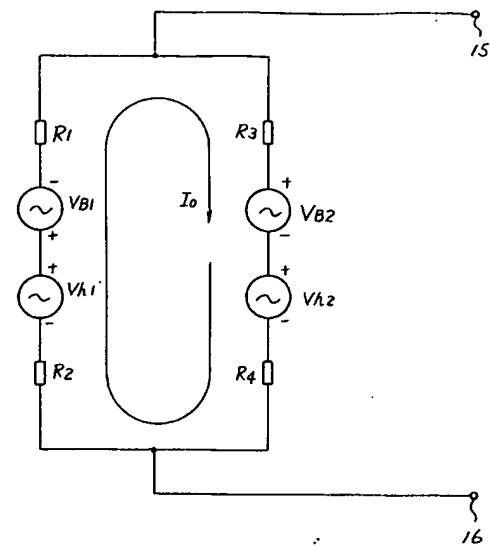


図 5